

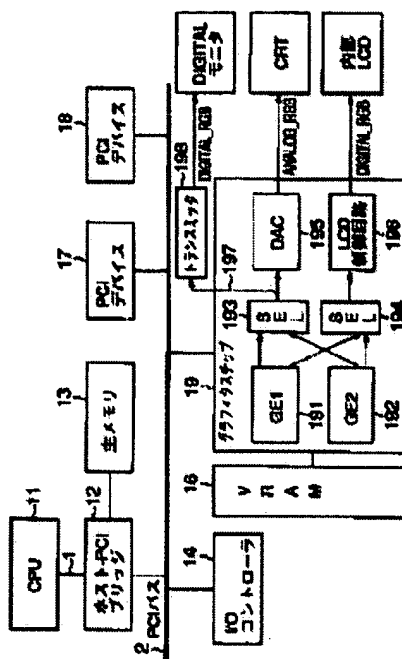
DISPLAY CONTROL DEVICE AND COMPUTER SYSTEM

Patent number: JP2001067054
Publication date: 2001-03-16
Inventor: IWAKI TSUTOMU
Applicant: TOKYO SHIBAURA ELECTRIC CO; TOSHIBA
COMPUTER ENG
Classification:
- International: G06F3/153; G09G5/00; G06F3/153; G09G5/00; (IPC1-7): G09G5/00; G06F3/153
- european:
Application number: JP19990242199 19990827
Priority number(s): JP19990242199 19990827

Report a data error here

Abstract of JP2001067054

PROBLEM TO BE SOLVED: To realize multi-display control between two digital monitors by a simple structure. **SOLUTION:** A graphic chip 19 is provided with two graphic engines 191, 192, selectors 193, 194, a DAC(digital-analog converter) 195, an LCD control circuit 196, and a path 197 for taking out a digital display signal from a preceding stage of the DAC 195 to the exterior of the chip just before the D/A conversion. The display signal taken out from the preceding stage of the DAC 195 by means of the path 197 is transmitted as a digital display signal (DIGITAL-RGB) to an external digital monitor by means of a transmitter 198. This enables images different from each other to be simultaneously displayed on an internal LCD and on the external LCD, respectively, without newly providing a logic circuit dedicated to the external monitor.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2001-67054
(P2001-67054A)

(43)公開日 平成13年3月16日(2001.3.16)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
G 0 9 G 5/00	5 1 0	G 0 9 G 5/00	5 1 0 V 5 B 0 6 9
	5 5 0		5 5 0 R 5 C 0 8 2
G 0 6 F 3/153	3 3 3	G 0 6 F 3/153	3 3 3 B

審査請求 未請求 請求項の数12 O L (全 10 頁)

(21)出願番号 特願平11-242199

(22)出願日 平成11年8月27日(1999.8.27)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71)出願人 000221052

東芝コンピュータエンジニアリング株式会
社

東京都青梅市新町3丁目3番地の1

(72)発明者 岩城 力

東京都青梅市新町3丁目3番地の1 東芝
コンピュータエンジニアリング株式会社内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

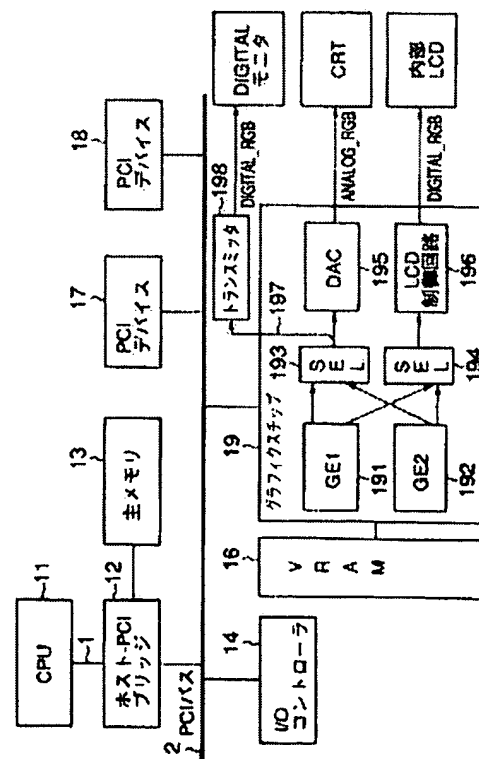
最終頁に続く

(54)【発明の名称】 表示制御装置およびコンピュータシステム

(57)【要約】

【課題】簡単な構成で、2つのデジタルモニタ間でのマルチディスプレイ制御の実現を図る。

【解決手段】グラフィクスチップ19には、2つのグラフィクスエンジン191、192、セレクト193、194、DAC195、LCD制御回路196に加え、DAC195の前段からD/A変換直前のデジタルの表示信号をチップ外部に取り出すためのバス197が設けられている。このバス197によってDAC195の前段から取り出された表示信号は、トランスミッタ198を通じて、外部デジタルモニタにデジタル表示信号(D I G I T A L _ _ R G B)として伝送される。よって、新たに外部モニタ専用のロジックを設けることなく、内部LCDと外部LCDに互いに異なるイメージを同時表示することが出来る。



【特許請求の範囲】

【請求項1】 コンピュータのディスプレイモニタを制御する表示制御装置において、
ビデオメモリに描画されたデータを用いて表示信号を生成する手段と、

前記生成された表示信号が入力され、その入力された表示信号をデジタル信号からアナログ信号に変換することによってアナログモニタ用のアナログ表示信号を出力するD/A変換手段と、

前記D/A変換手段の前段から表示信号を取り出すためのバスとを具備し、

前記バスを介して取り出された表示信号を、デジタルモニタ用のデジタル表示信号として使用することを特徴とする表示制御装置。

【請求項2】 前記バスを介して取り出された表示信号をデジタルモニタに伝送するためのインターフェイスをさらに具備し、

前記インターフェイスは、前記バスを介して取り出された表示信号をパラレルデータからシリアルデータに変換する並直変換手段と、この並直変換手段によって得られたシリアルデータをシリアル伝送線路を介して前記デジタルモニタに伝送する手段とを含むことを特徴とする請求項1記載の表示制御装置。

【請求項3】 前記表示制御装置は1チップLSIから構成されており、

前記D/A変換手段の前段の表示信号が前記1チップLSIの信号ピン上に導出されるように、前記バスは前記D/A変換手段の前段と前記1チップLSIの信号ピンとの間に配置されていることを特徴とする請求項1記載の表示制御装置。

【請求項4】 前記表示制御装置は1チップLSIから構成されており、

前記インターフェイスは前記1チップLSIに内蔵されていることを特徴とする請求項2記載の表示制御装置。

【請求項5】 互いに異なる表示イメージを生成するための第1および第2のグラフィクスエンジンと、

前記第1または第2のグラフィクスエンジンによって生成された表示信号が入力され、その入力された表示信号をデジタル信号からアナログ信号に変換することによってアナログモニタ用のアナログ表示信号を出力するD/A変換手段と、

前記第1または第2のグラフィクスエンジンによって生成された表示信号が入力され、その入力された表示信号を用いてフラットパネルディスプレイを制御するためのデジタル表示信号を生成するフラットパネル制御手段と、

前記D/A変換手段の前段から表示信号を取り出すためのバスとを具備し、

前記バスを介して取り出された表示信号を、デジタルモニタ用のデジタル表示信号として使用することを特徴と

する表示制御装置。

【請求項6】 前記バスを介して取り出された表示信号をデジタルモニタに伝送するためのインターフェイスをさらに具備し、

前記インターフェイスは、前記バスを介して取り出された表示信号をパラレルデータからシリアルデータに変換する並直変換手段と、この並直変換手段によって得られたシリアルデータをシリアル伝送線路を介して前記デジタルモニタに伝送する手段とを含むことを特徴とする請求項5記載の表示制御装置。

【請求項7】 前記表示制御装置は1チップLSIから構成されており、

前記D/A変換手段の前段の表示信号が前記1チップLSIの信号ピン上に導出されるように、前記バスは前記D/A変換手段の前段と前記1チップLSIの信号ピンとの間に配置されていることを特徴とする請求項5記載の表示制御装置。

【請求項8】 前記表示制御装置は1チップLSIから構成されており、

前記インターフェイスは前記1チップLSIに内蔵されていることを特徴とする請求項6記載の表示制御装置。

【請求項9】 第1および第2のグラフィクスエンジンを有し、アナログモニタおよび第1のデジタルモニタに互いに異なるイメージを同時表示することが可能な表示制御装置において、

前記アナログモニタ用のアナログ表示信号を出力するためのD/Aコンバータの前段からD/A変換前の表示信号を取り出すためのバスと、

前記バスによって取り出された表示信号を第2のデジタルモニタに伝送するためのインターフェイスとを具備し、

前記第1および第2のデジタルモニタに互いに異なるイメージを同時表示できるように構成されていることを特徴とする表示制御装置。

【請求項10】 ビデオメモリと、

前記ビデオメモリに描画されたデータを用いて表示信号を生成する手段と、

前記生成された表示信号が入力され、その入力された表示信号をデジタル信号からアナログ信号に変換することによってアナログモニタ用のアナログ表示信号を出力するD/A変換手段と、

前記D/A変換手段の前段から表示信号を取り出すためのバスとを具備し、

前記バスを介して取り出された表示信号を、デジタルモニタ用のデジタル表示信号として使用することを特徴とするコンピュータシステム。

【請求項11】 フラットパネルディスプレイと、外部アナログモニタおよび外部デジタルモニタをディスプレイモニタとして使用することが可能なコンピュータシステムであって、

互いに異なる表示イメージを生成するための第1および第2のグラフィクスエンジンと、

前記第1または第2のグラフィクスエンジンによって生成された表示信号が入力され、その入力された表示信号をデジタル信号からアナログ信号に変換することによって前記外部アナログモニタ用のアナログ表示信号を出力するD/A変換手段と、

前記第1または第2のグラフィクスエンジンによって生成された表示信号が入力され、その入力された表示信号を用いて前記フラットパネルディスプレイを制御するためのデジタル表示信号を生成するフラットパネル制御手段と、

前記D/A変換手段の前段から表示信号を取り出すためのパスとを具備し、

前記パスを介して取り出された表示信号を、前記外部デジタルモニタ用のデジタル表示信号として使用することを特徴とするコンピュータシステム。

【請求項12】 フラットパネルディスプレイをディスプレイモニタとして備え、前記フラットパネルディスプレイおよび外部のアナログモニタを制御することが可能なコンピュータシステムにおいて、

前記アナログモニタ用のアナログ表示信号を出力するためのD/Aコンバータの前段からD/A変換前の表示信号を取り出すためのパスと、

前記パスによって取り出された表示信号を第2のデジタルモニタに伝送するためのインターフェイスとを具備し、

前記第1および第2のデジタルモニタに互いに異なるイメージを同時表示できるように構成されていることを特徴とするコンピュータシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は表示制御装置およびコンピュータシステムに関し、特にマルチディスプレイ機能を有する表示制御装置およびコンピュータシステムに関する。

【0002】

【従来の技術】近年、ノートブックタイプおよびデスクトップタイプの各種パーソナルコンピュータ（PC）が開発されている。デスクトップPCのディスプレイモニタおよびノートPCの外付けディスプレイモニタとしては、従来より、アナログCRTモニタが使用されていた。しかし、最近では、LCDの低価格化・大型化に伴い、LCDを利用したデジタルモニタが普及し始めている。

【0003】デジタルモニタを制御するためには、コンピュータ本体からデジタルRGB信号を出力することが必要となる。デスクトップPCで使用されるグラフィックチップのようにアナログRGBインターフェイスしか持たないグラフィックチップについては、新たにデジタ

ルモニタ用のLCD制御ロジックを設けることが必要となり、コストアップにつながる。アナログRGB信号を再度デジタル信号に変換することによってデジタルモニタ用のデジタルRGB信号を得ることも可能であるが、この場合には、何度もの変換処理によって画質の低下を招く等の問題が生じる。

【0004】一方、ノートPCで使用されるグラフィックチップのようにアナログRGBインターフェイスとLCD専用インターフェイスの双方を標準装備しているグラフィックチップについては、そのLCD専用インターフェイスから外部デジタルモニタ用のデジタルRGB信号を取り出すことができる。この場合、新たにデジタルモニタ用のLCD制御ロジックを設ける必要はないので、容易に外部デジタルモニタの制御が可能となる。

【0005】

【発明が解決しようとする課題】しかし、このようにLCD専用インターフェイスから内部LCDモニタ用と外部デジタルモニタ用の双方の表示信号を取り出すという方式を採用した場合には、2つのデジタルモニタ（内部LCDモニタおよび外部デジタルモニタ）に互いに異なるイメージを同時表示するというマルチディスプレイ機能を利用することができなくなるという問題が生じる。

【0006】すなわち、LCD専用インターフェイスから内部LCDモニタ用と外部デジタルモニタ用の双方の表示信号を取り出す方式では、内部LCDモニタの表示信号と外部デジタルモニタの表示信号は常に同じものとなってしまい、2つのデジタルモニタ（内部LCDモニタおよび外部デジタルモニタ）間ではマルチディスプレイを利用することができなくなる。

【0007】本発明はこのような事情に鑑みてなされたものであり、アナログRGBインターフェイスに設けられたD/Aコンバータの前段の表示信号をデジタルモニタの制御に利用できるようにし、簡単な構成でデジタルモニタの制御や2つのデジタルモニタ間でのマルチディスプレイ制御を実現することが可能な表示制御装置およびコンピュータシステムを提供することを目的とする。

【0008】

【課題を解決するための手段】上述の課題を解決するため、本発明は、コンピュータのディスプレイモニタを制御する表示制御装置において、ビデオメモリに描画されたデータを用いて表示信号を生成する手段と、前記生成された表示信号が入力され、その入力された表示信号をデジタル信号からアナログ信号に変換することによってアナログモニタ用のアナログ表示信号を出力するD/A変換手段と、前記D/A変換手段の前段から表示信号を取り出すためのパスとを具備し、前記パスを介して取り出された表示信号を、デジタルモニタ用のデジタル表示信号として使用することを特徴とする。

【0009】この表示制御装置においては、D/A変換手段の前段から表示信号を取り出すためのパスが設けら

れているので、そのバスを介して取り出された表示信号をデジタルモニタ用の表示信号として使用することが出来る。よって、デスクトップPCで使用されるグラフィックチップのようにアナログRGBインターフェイスしか持たないグラフィックチップにおいても、新たにデジタルモニタ用の表示制御ロジックを設けることなく、チップ内にその内部信号を信号ピン上に導出するためのバスを設けるだけで、デジタルモニタの制御が可能となる。

【0010】また、前記バスを介して取り出された表示信号をデジタルモニタに伝送するためのインターフェイスは、前記バスを介して取り出された表示信号をパラレルデータからシリアルデータに変換する並直変換手段と、この並直変換手段によって得られたシリアルデータをシリアル伝送線路を介して前記デジタルモニタに伝送する手段とによって実現することが出来る。D/A変換手段の前段から表示信号を取り出すことにより、このような簡単な信号伝送機能を付加するだけでデジタルモニタの制御を行うことが可能となる。

【0011】また、本発明の表示制御装置は、互いに異なる表示イメージを生成するための第1および第2のグラフィクスエンジンと、前記第1または第2のグラフィクスエンジンによって生成された表示信号が入力され、その入力された表示信号をデジタル信号からアナログ信号に変換することによってアナログモニタ用のアナログ表示信号を出力するD/A変換手段と、前記第1または第2のグラフィクスエンジンによって生成された表示信号が入力され、その入力された表示信号を用いてフラットパネルディスプレイを制御するためのデジタル表示信号を生成するフラットパネル制御手段と、前記D/A変換手段の前段から表示信号を取り出すためのバスとを具備し、前記バスを介して取り出された表示信号を、デジタルモニタ用のデジタル表示信号として使用することを特徴とする。

【0012】この表示制御装置においては、D/A変換手段の前段からデジタルモニタ用の表示信号を取り出すことにより、新たにデジタルモニタ用の表示制御ロジックを設けることなく、フラットパネルディスプレイとデジタルモニタとの2つのデジタルモニタ間でのマルチディスプレイを実現することが可能となる。また、グラフィクスチップ内にその内部信号を信号ピン上に導出するためのバスを設けるだけで済むので、デジタルモニタ間のマルチディスプレイに対応したグラフィクスチップをローコスト、短納期で開発することが可能となる。

【0013】

【発明の実施の形態】以下、図面を参照して本発明の実施形態を説明する。

【0014】（第1実施形態）図1には、本発明の第1実施形態に係るコンピュータシステムのシステム構成が示されている。このコンピュータシステムはアナログC

RTモニタをディスプレイモニタとして使用するデスクトップタイプのPCであり、図示のように、CPU11、ホストPCIブリッジ12、主メモリ13、I/Oコントローラ14、グラフィクスチップ15、ビデオRAM（VRAM）16、および他の各種PCIデバイス17、18などから構成されている。

【0015】CPU11は本システム全体を制御するためのものであり、主メモリ13上にロードされたオペレーティングシステムおよび各種アプリケーションプログラム等を実行する。ホストPCIブリッジ12はCPUバス1とPCIバス2間を双方向で接続するためのブリッジLSIであり、ここには主メモリ13をアクセス制御するためのメモリコントローラも内蔵されている。I/Oコントローラ14は、例えばハードディスクドライブやCD-ROMドライブなどのIDEデバイスの制御や、各種通信ポートの制御などを行う。

【0016】グラフィクスチップ15はディスプレイモニタを制御するための表示コントローラであり、1チップLSIから構成されている。グラフィクスチップ15はアナログCRTディスプレイの制御に加え、例えば TFTタイプのLCDなどから構成されるデジタルモニタの制御機能を有している。グラフィクスチップ15には、図示のように、グラフィクスエンジン（GE）151、およびデジタル-アナログコンバータ（DAC）152が設けられている。

【0017】グラフィクスエンジン（GE）151は、CPU11によってVRAM16に描画されたデータから表示信号を生成するための内部エンジンであり、カラーパレット、アトリビュートコントローラなどを含むVGA互換ロジック部に加え、2D/3D演算用の2D/3Dエンジン、および動画などのビデオデータを処理するためのVIDEOエンジンなどから構成されている。グラフィクスエンジン（GE）151によって得られた表示信号はDAC152に送られ、そこでアナログCRTディスプレイ用のアナログ表示信号（ANALOG_RGB）に変換された後にアナログCRTディスプレイに出力される。

【0018】本実施形態のグラフィクスチップ15においては、デジタルモニタ用の専用の表示制御ロジックを設けずにデジタルモニタを制御できるようにするため、図示のように、DAC152の前段からD/A変換直前のデジタルの表示信号を取り出すためのバス153が追加されている。このバス153によって、DAC152の前段の内部的な表示信号を、デジタルモニタ用の表示信号としてグラフィクスチップ15外部に導出することが可能となる。

【0019】バス153は、DAC152の前段部とグラフィクスチップ15に設けられたデジタルモニタ用の表示制御信号ピン群との間に配置されている。このバス153によってDAC152の前段から取り出された表

示信号は、グラフィクスチップ15に設けられた信号ピン群につながれたトランスミッタ(LCDトランスミッタ)154に送られ、そしてそのトランスミッタ154を通じて、デジタルモニタにデジタル表示信号(DIGITAL_RGB)として伝送される。トランスミッタ154は、基本的には、バス153によってグラフィクスチップ15の信号ピン群に取り出されたDAC152前段の表示信号をそのままのタイミングで伝送すればよく、LVDS(Low Voltage Differential Signalling)やパネルリンクなどのよく知られたLCDシリアルインターフェイス用デバイスをトランスミッタ154として使用することができ

【0020】グラフィクスチップ15による表示制御処理の流れは以下の通りである。

【0021】1. グラフィクスチップ15の内部エンジンであるグラフィクスエンジン(GE)151からDAC152に表示信号が送られる。

【0022】2. DAC152に入力された表示信号は、ANALOG_RGB信号となってアナログCRTディスプレイに出力される。

【0023】3. DAC152に入力される表示信号は、DAC152の入力部前段でバス153によってグラフィクスチップ15外部に導出され、トランスミッタ154に出力される。

【0024】4. トランスミッタ152に入力された表示信号は、LVDS線路等を介してデジタルモニタ用の表示信号(DIGITAL_RGB)としてデジタルモニタにシリアル伝送される。

【0025】以上により、バス154を介して取り出された内部データを、デジタルモニタ用のデジタル表示信号として使用することが可能となる。

【0026】図2には、グラフィクスチップ15の第2の構成例が示されている。

【0027】図2においては、トランスミッタ152がグラフィクスチップ15に内蔵されている点だけが図1と異なっており、他の点は図1と同じである。

【0028】グラフィクスチップ15による表示制御処理の流れは以下の通りである。

【0029】1. グラフィクスチップ15の内部エンジンであるグラフィクスエンジン(GE)151からDAC152に表示信号が送られる。

【0030】2. DAC152に入力されたデータは、ANALOG_RGB信号となってアナログCRTディスプレイに出力される。

【0031】3. DAC152に入力される表示信号は、DAC152の入力部前段でバス153によってトランスミッタ154に出力される。

【0032】4. トランスミッタ152に入力された表示信号は、デジタルモニタ用の表示信号(DIGIT

AL_RGB)としてグラフィクスチップ15外部に導出され、それがLVDS線路等を介してデジタルモニタにシリアル伝送される。

【0033】以上により、バス154を介して取り出された内部データを、デジタルモニタ用のデジタル表示信号として使用することが可能となる。また、トランスミッタ152がグラフィクスチップ15に内蔵されているので、グラフィクスチップ15外部に導出されるのはシリアル変換後の信号となり、デジタルモニタの制御のためにグラフィクスチップ15に設けることが必要なピン数を低減することが可能となる。

【0034】図3には、図1および図2で説明したトランスミッタ152の具体的な回路構成が示されている。

【0035】トランスミッタ152は、図示のように、パラレル/シリアル変換回路(P/S)201と、複数の差動出力バッファ202とから構成されている。DAC152前段の表示信号は、それぞれN(N>1)ビットのR、G、Bデータと、水平同期信号、垂直同期信号などの制御データとから構成されており、これら信号がパラレル/シリアル変換回路(P/S)201に入力され、そこで低電圧信号への変換と、シリアル信号への変換が行われる。そして、パラレル/シリアル変換回路(P/S)201によって得られたシリアルRデータ、シリアルGデータ、シリアルBデータ、およびシリアル制御データが、複数の差動出力バッファ202からそれぞれ伝送される。これらシリアルデータ(DATA)の伝送と並行して、そのシリアルデータの伝送タイミングを示す伝送クロック(CLK)も伝送も行われる。

【0036】デジタルモニタ側では、トランスミッタ152から送信されたシリアルデータがパラレルデータに戻され、それがLCDパネルコントローラに入力された実際の表示信号として用いられる。

【0037】(第2実施形態)図4には、本発明の第2実施形態に係るコンピュータシステムのシステム構成が示されている。このコンピュータシステムは内部LCDモニタをディスプレイモニタとして使用するノートブックタイプのPCであり、内部LCDモニタの他、外部アナログCRTディスプレイ、外部ディスプレイモニタの制御機能も有している。

【0038】本第2実施形態のPCにおいては、図1のグラフィクスチップ15の代わりに、マルチディスプレイ対応のグラフィクスチップ19が設けられており、他のハードウェア構成は基本的に図1と同じである。また、オペレーティングシステムとしては、例えばマイクロソフト社のWindows 98のような、マルチディスプレイ対応のOSが使用される。マルチディスプレイは互いに異なるイメージを複数のディスプレイモニタに同時表示する技術であり、ディファレント・イメージと称されることもある。

【0039】このマルチディスプレイの機能は、VRA

M16上に用意された2つのオンスクリーンエリアに描画されたデータを用いて互いに異なるイメージを生成し、それらイメージを異なる2つのディスプレイモニタに同時表示することによって実現される。本実施形態では、内部LCDと外部アナログCRTモニタとの間でのマルチディスプレイ表示のみならず、内部LCDと外部デジタルモニタと間でのマルチディスプレイ表示をも実現するために、以下のような構成のグラフィクスチップ19が利用されている。

【0040】このグラフィクスチップ19はディスプレイモニタを制御するための表示コントローラであり、1チップLSIから構成されている。グラフィクスチップ19は本システムの標準ディスプレイモニタである内部LCDの制御に加え、外部アナログCRTモニタと、例えばTFTタイプのLCDなどから構成される外部デジタルモニタの制御機能を有している。グラフィクスチップ19には、図示のように、第1のグラフィクスエンジン(GE1)191、第2のグラフィクスエンジン(GE2)192、第1および第2のセクタ(SEL)193、194、デジタルアナログコンバータ(DAC)195、およびLCD制御回路196が設けられている。

【0041】第1および第2の2つのグラフィクスエンジン(GE1、GE2)191、192は、互いに異なる表示イメージを生成するための内部エンジンである。すなわち、第1のグラフィクスエンジン(GE1)191は、CPU11によってVRAM16の第1のオンスクリーンエリアに描画されたデータから表示信号を生成し、第2のグラフィクスエンジン(GE2)192は、CPU11によってVRAM16の第2のオンスクリーンエリアに描画されたデータから表示信号を生成する。これら2つのグラフィクスエンジン(GE1、GE2)191、192によって得られた表示信号をそれぞれ用いて異なる2つのディスプレイモニタを制御することにより、図5に示すように、1つのグラフィクスチップ19にて2つのディスプレイモニタに互いに異なる画面イメージを同時表示するという、1チップ2ディスプレイ方式のマルチディスプレイ(ディファレント・イメージ)を実現することができる。画面解像度、色数などは、各画面毎に設定することができる。

【0042】第1のセクタ(SEL)193はDAC195に入力される表示信号を選択するためのものであり、第1および第2の2つのグラフィクスエンジン(GE1、GE2)191、192の中からいずれか一方の出力を選択してDAC195に出力する。同様に、第2のセクタ(SEL)194はLCD制御回路196に入力される表示信号を選択するためのものであり、第1および第2の2つのグラフィクスエンジン(GE1、GE2)191、192の中からいずれか一方の出力を選択してLCD制御回路196に出力する。マルチディス

プレイ時には、DAC195とLCD制御回路196に互いに異なる表示信号が入力されるように、セクタ193、194による選択動作が行われる。

【0043】DAC195はセクタ193によって選択された表示信号をデジタル信号からアナログ信号に変換し、アナログCRTモニタ用のアナログ表示信号(ANALOG_RGB)を出力する。LCD制御回路196は内部LCD専用の表示制御回路であり、セクタ194によって選択された表示信号を内部LCD用のタイミングに変換してデジタル表示信号(DIGITAL_RGB)を生成し、それを内部LCDに出力する。このLCD制御回路196には、TFT、およびデュアルスキャン制御が必要とされるDSTN、の双方に対応するタイミング制御回路が内蔵されており、内部LCDとして使用されるLCDのタイプに合わせて表示制御タイミングを変更することが出来る。さらに、LCD制御回路196には、表示イメージを画面中央に設定するためのセンタリング処理回路、表示イメージを画面全体に引き延ばすストレッチ処理回路なども内蔵されている。

【0044】もしLCD制御回路196の出力から外部デジタルモニタ用の表示信号を取り出すという方式を採用した場合、内部LCDと外部デジタルモニタの表示イメージは常に同じになってしまう、内部LCDと外部デジタルモニタとの間のデュアルディスプレイを実現することはできない。

【0045】そこで、本実施形態のグラフィクスチップ19においては、図示のように、DAC195の前段からD/A変換直前のデジタルの表示信号を取り出すためのパス197が追加されている。このパス197によって、セクタ193によって選択された後のDAC152前段の内部的な表示信号を、外部デジタルモニタ用の表示信号としてグラフィクスチップ19外部に導出することが可能となる。

【0046】パス197は、DAC195の前段部とグラフィクスチップ19に設けられたデジタルモニタ用の表示制御信号ピン群との間に配置されている。このパス197によってDAC195の前段から取り出された表示信号は、グラフィクスチップ19に設けられた信号ピン群につながれたトランスミッタ(LCDトランスミッタ)198に送られ、そしてそのトランスミッタ198を通じて、デジタルモニタにデジタル表示信号(DIGITAL_RGB)として伝送される。トランスミッタ198は、基本的には、パス197によってグラフィクスチップ19の信号ピン群に取り出されたDAC195前段の表示信号をそのままのタイミングで伝送すればよく、LVDS(Low Voltage Differential Signalling)やパネルリンクなどのよく知られたLCDシリアルインターフェイス用デバイスをトランスミッタ197として使用することができる。この場合、トランスミッタ198の回路構成とし

ては図3の回路を使用することが出来る。

【0047】LCD制御回路196とは異なり、トランスミッタ198は表示信号を伝送するだけであるので、外部デジタルモニタはアナログCRTモニタと基本的に同一のタイミングで制御されることになる。外部デジタルモニタとしてTFTタイプのLCD等を使用すれば、問題なく、外部デジタルモニタへの表示を行うことが出来る。

【0048】図6には、2つのデジタルモニタ（内部LCD、外部デジタルモニタ）間で行われるマルチディスプレイの様子が示されている。

【0049】VRAM16には、グラフィクス表示に用いられる2つのオンスクリーンエリア161、162と、動画などのビデオデータの表示に用いられるオフスクリーンエリア163が用意されている。2つのオンスクリーンエリア161、162には、OSの制御の下、アプリケーションプログラム等によって作成された異なるデータが描画される。例えば、ワープロソフトの画面データがオンスクリーンエリア161に描画され、表計算ソフトの画面データがオンスクリーンエリア162に描画される。また、プレゼンテーションソフトなどのアプリケーションについては、プレゼンテーション用の画面データと、プレゼンテーション用原稿のテキストデータから構成される画面データを、それぞれ異なるオンスクリーンエリア161、162に描画するといった制御を行うこともできる。

【0050】セレクト193によってグラフィクスエンジン（GE1）191を選択し、セレクト194によってグラフィクスエンジン（GE2）192を選択した場合、図示のように、オンスクリーンエリア161の描画データに基づく表示イメージ（A）が外部デジタルモニタに表示され、オンスクリーンエリア162の描画データに基づく表示イメージ（B）が内部LCDに表示される。

【0051】図7には、第1および第2の2つのグラフィクスエンジン（GE1、GE2）191、192それぞれの機能構成が模式的に示されている。

【0052】第1のグラフィクスエンジン（GE1）191には、図示のように、2Dエンジン301、3Dエンジン302、ビデオエンジン303、VGA互換ロジック304などが設けられており、また第2のグラフィクスエンジン（GE2）192には、2Dエンジン401、3Dエンジン402、ビデオエンジン403などが設けられている。VGA互換ロジック304はVGA互換の表示制御を行うためのコアロジックであり、ここにはカラーパレット、アトリビュートコントローラなどが含まれている。マルチディスプレイ時には、VGA互換ロジック304は第1および第2の2つのグラフィクスエンジン（GE1、GE2）191、192間で共用される。

【0053】第1のグラフィクスエンジン（GE1）191において、2Dエンジン301および3Dエンジン302は、オンスクリーンエリア161の描画データに対して2D演算、3D演算をそれぞれ施すために使用される。ビデオエンジン303は、オフスクリーンエリア163のビデオデータに対してYUV/RGBの色変換処理、動き補償処理、オンスクリーンエリア161の描画データから生成されたグラフィクスデータとの合成処理などを行う。

【0054】同様に、第2のグラフィクスエンジン（GE2）192においても、2Dエンジン401および3Dエンジン402は、オンスクリーンエリア162の描画データに対して2D演算、3D演算をそれぞれ施すために使用される。ビデオエンジン403は、オフスクリーンエリア163のビデオデータに対してYUV/RGBの色変換処理、動き補償処理、オンスクリーンエリア162の描画データから生成されたグラフィクスデータとの合成処理などを行う。

【0055】また、第1のグラフィクスエンジン（GE1）191はプライマリエンジンとして機能し、マルチディスプレイを使用しない通常表示の場合には、第1のグラフィクスエンジン（GE1）191のみが使用され、第2のグラフィクスエンジン（GE2）192は使用されない。

【0056】以下、グラフィクスチップ19による表示制御処理の流れを説明する。

【0057】1. グラフィクスチップ19の2つのグラフィクスエンジン（GE1、GE2）191、192からDAC195とLCD制御回路196に表示信号が送られる。

【0058】2. グラフィクスエンジン（GE1）191からの表示信号と、グラフィクスエンジン（GE2）192からの表示信号は、セレクト193、194の働きによって、DAC195およびLCD制御回路196のどちらか任意の一方もしくは、両方に出力される。マルチディスプレイ時には、グラフィクスエンジン（GE1）191からの表示信号と、グラフィクスエンジン（GE2）192からの表示信号のいずれか一方がDAC195に、他方がLCD制御回路196に送られる。

【0059】3. DAC195に入力された表示信号は、ANALOG_RGB信号となって外部アナログCRTモニタに出力される。

【0060】4. LCD制御回路196に入力された表示信号は、DIGITAL_RGB信号となって内部LCDに出力される。

【0061】5. DAC195に入力される表示信号は、DAC195の入力部前段でバス197によってグラフィクスチップ19外部に導出され、トランスミッタ198に出力される。

【0062】6. トランスミッタ198に入力された表示信号は、LVDS線路等を介してデジタルモニタ用の表示信号(DIGITAL_RGB)として外部デジタルモニタにシリアル伝送される。

【0063】以上により、パス197を介して取り出された内部データを外部デジタルモニタ用のデジタル表示信号として使用することが可能となり、内部LCDと外部デジタルモニタとの間のマルチディスプレイを実現することが出来る。また、グラフィクスチップ19内にその内部信号を信号ピン上に導出するためのパス197を設けるだけで済むので、デジタルモニタ間のマルチディスプレイに対応したグラフィクスチップ19をローコスト、短納期で開発することが可能となる。

【0064】図8には、グラフィクスチップ19の第2の構成例が示されている。

【0065】図8においては、トランスミッタ198がグラフィクスチップ19に内蔵されている点だけが図4と異っており、他の点は図4と同じである。

【0066】グラフィクスチップ19による表示制御処理の流れは以下の通りである。

【0067】1. グラフィクスチップ19の2つのグラフィクスエンジン(GE1, GE2)191, 192からDAC195とLCD制御回路196に表示信号が送られる。

【0068】2. グラフィクスエンジン(GE1)191からの表示信号と、グラフィクスエンジン(GE2)192からの表示信号は、セクタ193, 194の働きによって、DAC195およびLCD制御回路196のどちらか任意の一方もしくは、両方に出力される。マルチディスプレイ時には、グラフィクスエンジン(GE1)191からの表示信号と、グラフィクスエンジン(GE2)192からの表示信号のいずれか一方がDAC195に、他方がLCD制御回路196に送られる。

【0069】3. DAC195に入力された表示信号は、ANALOG_RGB信号となって外部アナログCRTモニタに出力される。

【0070】4. LCD制御回路196に入力された表示信号は、DIGITAL_RGB信号となって内部LCDに出力される。

【0071】5. DAC195に入力される表示信号は、DAC195の入力部前段でパス197によってトランスミッタ198に出力される。

【0072】6. トランスミッタ198に入力された表示信号は、デジタルモニタ用の表示信号(DIGITAL_RGB)としてグラフィクスチップ19外部に導出され、それがLVDS線路等を介して外部デジタルモニタにシリアル伝送される。

【0073】パス197を介して取り出された内部データを外部デジタルモニタ用のデジタル表示信号として使

用することが可能となり、内部LCDと外部デジタルモニタとの間のマルチディスプレイを実現することが出来る。また、トランスミッタ198がグラフィクスチップ19に内蔵されているので、グラフィクスチップ19外部に導出されるのはシリアル変換後の信号となり、デジタルモニタの制御のためにグラフィクスチップ19に設けることが必要なピン数を低減することが可能となる。

【0074】なお、以上の各実施形態は1チップLSIから構成されるグラフィクスチップを例示して説明したが、同様の構成は複数のチップを基板上に搭載してなるグラフィクスカードなどにも適用することが出来る。また、各グラフィクスエンジンから出力される表示信号はRGB信号に限らず、YUV信号であってもよい。

【0075】また、第2実施形態では、2つのグラフィクスエンジンを使用する場合を説明したが、3つ以上のグラフィクスエンジンを使用し、3つ以上の異なるイメージを異なるディスプレイモニタに同時表示するように構成することも可能である。

【0076】

【発明の効果】以上説明したように、本発明によれば、アナログRGBインターフェイスに設けられたD/Aコンバータの前段の表示信号をデジタルモニタの制御に利用できるようになり、簡単な構成でデジタルモニタの制御や2つのデジタルモニタ間でのマルチディスプレイ制御を実現することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係るコンピュータシステム構成を示すブロック図。

【図2】同実施形態のシステムで使用されるグラフィクスチップの他の構成を示す図。

【図3】同実施形態のシステムで使用されるグラフィクスチップのトランスミッタの具体的な構成の一例を示す図。

【図4】本発明の第2実施形態に係るコンピュータシステム構成を示すブロック図。

【図5】図4のシステムにおけるマルチディスプレイの原理を説明するための図。

【図6】図4のシステムに設けられた2つのデジタルモニタ間で行われるマルチディスプレイの様子を示す図。

【図7】図4のシステムのグラフィクスチップ内に設けられた2つのグラフィクスエンジンの機能構成を示す図。

【図8】図4のシステムで用いられるグラフィクスチップの他の構成を示す図。

【符号の説明】

11…CPU

15…グラフィクスチップ

16…VRAM

151…グラフィクスエンジン

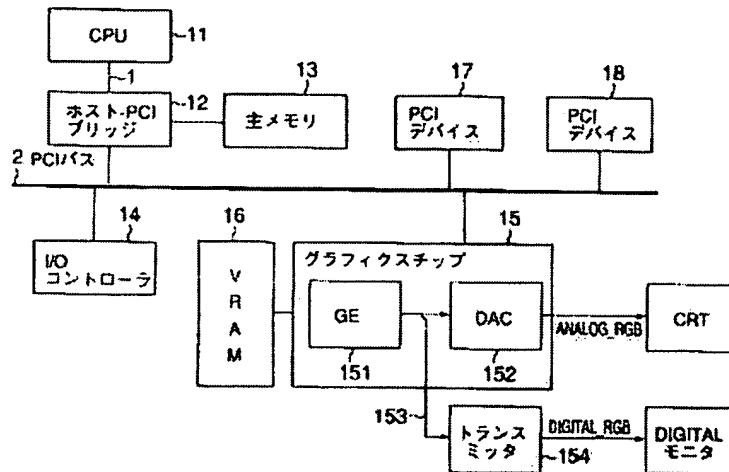
152…DAC

153…パス
 154…トランスミッタ
 19…グラフィクスチップ
 191, 192…グラフィクスエンジン
 193, 194…セクタ

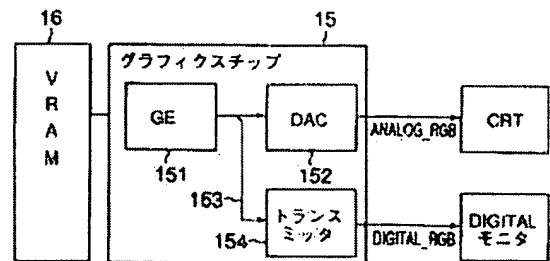
* 195…DAC
 196…LCD制御回路
 197…パス
 198…トランスミッタ

*

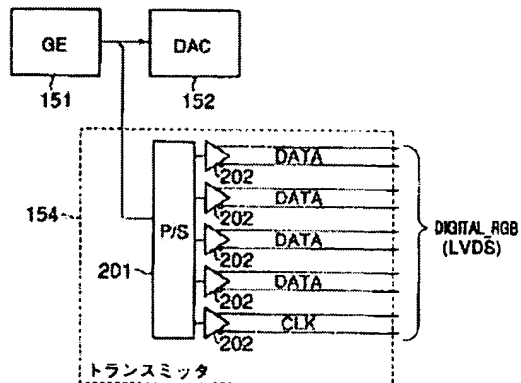
【図1】



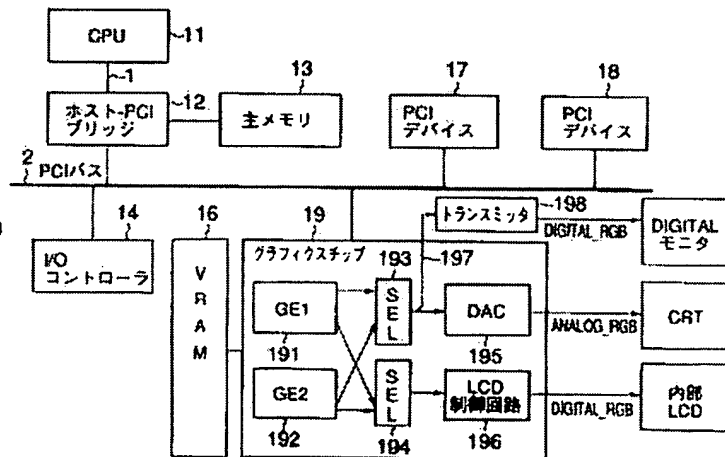
【図2】



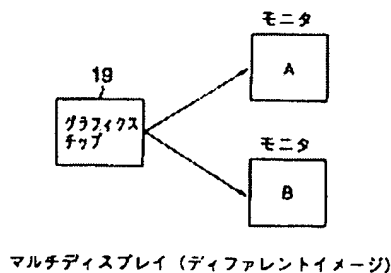
【図3】



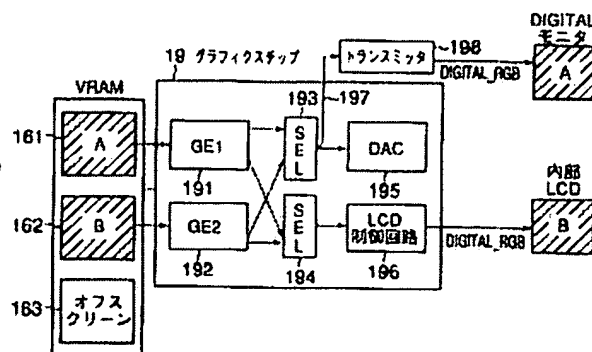
【図4】



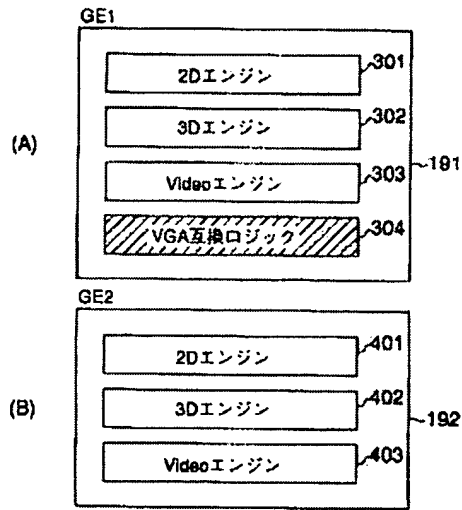
【図5】



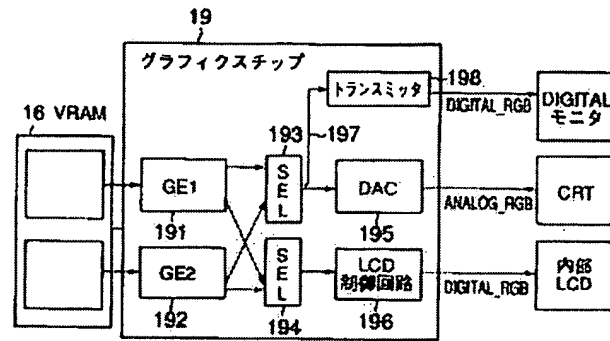
【図6】



【図7】



【図8】



フロントページの続き

Fターム(参考) 5B069 BA03 BA05 BC02 KA02
 5C082 AA01 AA34 BA02 BA12 BB15
 BR22 CA64 CB05 DA56 DA66
 MM09 MM10